

电路常识性概念

电路常识性概念（1）-输入、输出阻抗

1、输入阻抗

输入阻抗是指一个电路输入端的等效阻抗。在输入端上加上一个电压源 U ，测量输入端的电流 I ，则输入阻抗 $R_{in}=U/I$ 。你可以把输入端想象成一个电阻的两端，这个电阻的阻值，就是输入阻抗。

输入阻抗跟一个普通的电抗元件没什么两样，它反映了对电流阻碍作用的大小。

对于电压驱动的电路，输入阻抗越大，则对电压源的负载就越轻，因而就越容易驱动，也不会对信号源有影响；而对于电流驱动型的电路，输入阻抗越小，则对电流源的负载就越轻。因此，我们可以这样认为：如果是用电压源来驱动的，则输入阻抗越大越好；如果是用电流源来驱动的，则阻抗越小越好（注：只适合于低频电路，在高频电路中，还要考虑阻抗匹配问题。另外如果要获取最大输出功率时，也要考虑阻抗匹配问题。）

2、输出阻抗

无论信号源或放大器还有电源，都有输出阻抗的问题。输出阻抗就是一个信号源的内阻。本来，对于一个理想的电压源（包括电源），内阻应该为0，或理想电流源的阻抗应当为无穷大。输出阻抗在电路设计最特别需要注意。

现实中的电压源，则做不到这一点。我们常用一个理想电压源串联一个电阻 r 的方式来等效一个实际的电压源。这个跟理想电压源串联的电阻 r ，就是（信号源/放大器输出/电源）的内阻了。当这个电压源给负载供电时，就会有电流 I 从这个负载上流过，并在这个电阻上产生 $I \times r$ 的电压降。这将导致电源输出电压的下降，从而限制了最大输出功率（关于为什么会限制最大输出功率，请看后面的“阻抗匹配”）。同样的，一个理想的电流源，输出阻抗应该是无穷大，但实际的电路是不可能的。

3、阻抗匹配

阻抗匹配是指信号源或者传输线跟负载之间的一种合适的搭配方式。

阻抗匹配分为低频和高频两种情况讨论。

我们先从直流电压源驱动一个负载入手。由于实际的电压源，总

是有内阻的，我们可以把一个实际电压源，等效成一个理想的电压源跟一个电阻 r 串联的模型。假设负载电阻为 R ，电源电动势为 U ，内阻为 r ，那么我们可以计算出流过电阻 R 的电流为： $I=U/(R+r)$ ，可以看出，负载电阻 R 越小，则输出电流越大。负载 R 上的电压为： $U_o=IR=U/[1+(r/R)]$ ，可以看出，负载电阻 R 越大，则输出电压 U_o 越高。再来计算一下电阻 R 消耗的功率为：

$$P=I^2 \times R = [U / (R+r)]^2 \times R = U^2 \times R / (R^2 + 2 \times R \times r + r^2)$$

$$= U^2 \times R / [(R-r)^2 + 4 \times R \times r]$$

$$= U^2 / \{ [(R-r)^2 / R] + 4 \times r \}$$

对于一个给定的信号源，其内阻 r 是固定的，而负载电阻 R 则是由我们来选择的。

注意式中 $[(R-r)^2 / R]$ ，当 $R=r$ 时， $[(R-r)^2 / R]$ 可取得最小值 0，这时负载电阻 R 上可获得最大输出功率 $P_{\max}=U^2/(4 \times r)$ 。即，当负载电阻跟信号源内阻相等时，负载可获得最大输出功率，这就是我们常说的阻抗匹配之一。

对于纯电阻电路，此结论同样适用于低频电路及高频电路。当交流电路中含有容性或感性阻抗时，结论有所改变（是对于最大输出功率而言的），就是需要信号源与负载阻抗的实部相等，虚部互为相反数，这叫做共扼匹配。在低频电路中，我们一般不考虑传输线的匹配问题，只考虑信号源跟负载之间的情况，因为低频信号的波长相对于传输线来说很长，传输线可以看成是“短线”，反射可以不考虑（可以这么理解：因为线短，即使反射回来，跟原信号还是一样的）。

从以上分析我们可以得出结论：如果我们需要输出电流大，则选择小的负载 R ；如果我们需要输出电压大，则选择大的负载 R ；如果我们需要输出功率最大，则选择跟信号源内阻匹配的电阻 R 。有时阻抗不匹配还有另外一层意思，例如一些仪器输出端是在特定的负载条件下设计的，如果负载条件改变了，则可能达不到原来的性能，这时我们也会叫做阻抗失配。

在高频电路中，我们还必须考虑反射的问题。当信号的频率很高时，则信号

的波长就很短，当波长短得跟传输线长度可以比拟时，反射信号叠加在原信号上将会改变原信号的形状。如果传输线的特征阻抗跟负载阻抗不相等（即不匹配）时，在负载端就会产生反射。为什么阻抗不匹配时会产生反射以及特征阻抗的求解方法，牵涉到二阶偏微分方程的求解，在这里我们不细说了，有兴趣的可参看电磁场与微波方面书籍中的传输线理论。传输线的**特征阻抗**（也叫做特性阻抗）是由传输线的**结构以及材料**决定的，而与传输线的长度，以及信号的幅度、频率等均无关。

例如，常用的**闭路电视同轴电缆特性阻抗为 $75\ \Omega$** ，而**一些射频设备上则常用特征阻抗为 $50\ \Omega$ 的同轴电缆**。另外还有一种常见的传输线是特性阻抗为 $300\ \Omega$ 的扁平平行线，这在农村使用的电视天线架上比较常见，用来做八木天线的馈线。因为电视机的射频输入端输入阻抗为 $75\ \Omega$ ，所以 $300\ \Omega$ 的馈线将与其不能匹配。实际中是如何解决这个问题的呢？不知道大家有没有留意到，电视机的附件中，有一个 $300\ \Omega$ 到 $75\ \Omega$ 的阻抗转换器（一个塑料封装的，一端有一个圆形的插头的那个东东，大概有两个大拇指那么大）。它里面其实就是一个传输线变压器，将 $300\ \Omega$ 的阻抗，变换成 $75\ \Omega$ 的，这样就可以匹配起来了。这里需要强调

一点的是，特性阻抗跟我们通常理解的电阻不是一个概念，它与传输线

的长度无关，也不能通过使用欧姆表来测量。**为了不产生反射，负载阻抗**

跟传输线的特征阻抗应该相等，这就是传输线的阻抗匹配，如果阻抗不匹配会有什么不良后果呢？如果不匹配，则会形成反射，能量传递不过去，降低效率；会在传输线上形成驻波（简单的理解，就是有些地方信号强，有些地方信号弱），导致传输线的有效功率容量降低；功率发射不出去，甚至会损坏发射设备。如果是电路板上的**高速信号线**与**负载阻抗**不匹配时，**会产生震荡，辐射干扰等**。

当阻抗不匹配时，有哪些办法让它匹配呢？第一，可以考虑使用变压器来做阻抗转换，就像上面所说的电视机中的那个例子那样。第二，可以考虑使用串联/并联电容或电感的办法，这在调试射频电路时常使用。第三，可以考虑使用串联/并联电阻的办法。**一些驱动器的阻抗比较低，可以串联一个合适的电阻来跟传输线匹配，例如高速信号线，有时会串联一个几十欧的电阻**。而一些接收器的输入阻抗则比较高，可以使用并联电阻的方法，

来跟传输线匹配，例如，485 总线接收器，常在数据线终端并联 $120\ \Omega$ 的匹配电阻。

为了帮助大家理解阻抗不匹配时的反射问题，我来举两个例子：假设你在练习拳击——打沙包。如果是一个重量合适的、硬度合适的沙包，你打上去会感觉很舒服。但是，如果哪一天我把沙包做了手脚，例如，里面换成了铁沙，你还是用以前的力打上去，你的手可能就会受不了了——这就是负载过重的情况，会产生很大的反弹力。相反，如果我把里面换成了很轻很轻的东西，你一出拳，则可能会扑空，手也可能会受不了——这就是负载过轻的情况。另一个例子，不知道大家有没有过这样的经历：就是看不清楼梯时上/下楼梯，当你以为还有楼梯时，就会出现“负载不匹配”这样的感觉了。当然，也许这样的例子不

太恰当，但我们可以拿它来理解负载不匹配时的反射情况。

+++++

Q: 什么是电流控制器件?

A: 如果这个器件的输出参数大小和输入的电流参数大小有关,就叫该器件是“电流控制器件”,简称“流控器件”。

“电流控制器件”输入的是电流信号,是低阻抗输入,需要较大的驱动功率。例如:双极型晶体管(BJT)是电流控制器件、TTL 电路是电流控制器件。

Q: 什么是电压控制器件?

S: 如果这个器件的输出参数大小和输入的电压参数大小有关,就叫该器件是“电压控制器件”,简称“压控器件”。

“电压控制器件”输入的是电压信号,是高阻抗输入,只需要较小的驱动功率;例如:场效应晶体管(FET)是电压控制器件、MOS 电路是电压控制器件。

Q: 为什么 BJT 是电流控制器件而 FET 和 MOS 是电压控制器件?

S: BJT 是通过**基极电流**来控制集电极电流而达到放大作用的;而 FET&MOS 是靠控制**栅极电压**来改变源漏电流,所以说 BJT 是电流控制器件,而 FET 和 MOS 是电压控制器件。

电路常识性概念(2)-电容

2008-05-27 22:59

所谓电容,就是容纳和释放电荷的电子元器件。

电容的基本工作原理就是充电放电,当然还有整流、振荡以及其它的作用。

另外电容的结构非常简单,主要由两块正负电极和夹在中间的绝缘介质组成。

作为无源元件之一的电容,其作用不外乎以下几种:

1、应用于电源电路,实现旁路、去藕、滤波和储能的作用

1) 旁路

旁路电容是为本地器件提供能量的储能器件,它能使稳压器的输出均匀化,降低负载需求。就像小型可充电电池一样,旁路电容能够被充电,并

向器件进行放电。为尽量减少阻抗，旁路电容要尽量靠近负载器件的供电电源管脚和地管脚。这能够很好地防止输入值过大而导致的地电位抬高和噪声。地弹是地连接处在通过大电流毛刺时的电压降。

2) 去藕

去藕，又称解藕。从电路来说，总是可以区分为驱动的源和被驱动的负载。如果负载电容比较大，驱动电路要把电容充电、放电，才能完成信号的跳变，在上升沿比较陡峭的时候，电流比较大，这样驱动的电流就会吸收很大的电源电流，由于电路中的电感，电阻（特别是芯片管脚上的电感，会产生反弹），这种电流相对于正常情况来说实际上就是一种噪声，会影响前级的正常工作。这就是耦合。去藕电容就是起到一个电池的作用，满足驱动电路电流的变化，避免相互间的耦合干扰。将旁路电容和去藕电容结合起来将更容易理解。旁路电容实际也是去耦合的，只是旁路电容一般是指高频旁路，也就是给高频的开关噪声提高一条低阻抗泄放途径。高频旁路电容一般比较小，根据谐振频率一般是 0.1μ ， 0.01μ 等，而去耦合电容一般比较大，是 $10\mu\text{F}$ 或者更大，依据电路中分布参数，以及驱动电流的变化大小来确定。

总的来说旁路是把输入信号中的干扰作为滤除对象，而去耦是把输出信号的干扰作为滤除对象，防止干扰信号返回电源。这应该是他们的本质区别。

3) 滤波

从理论上（即假设电容为纯电容）说，电容越大，阻抗越小，通过的频率也越高。但实际上超过 $1\mu\text{F}$ 的电容大多为电解电容，有很大的电感成份，所以频率高后反而阻抗会增大。有时会看到有一个电容量较大电解电容并联了一个小电容，这时大电容通低频，小电容通高频。电容的作用就是通高阻低，通高频阻低频。电容越大低频越容易通过，电容越小高频越容易通过。具体用在滤波中，大电容($1000\mu\text{F}$)滤低频，小电容(20pF)滤高频。由于电容的两端电压不会突变，由此可知，信号频率越高则衰减越大，可很形象的说电容像个水塘，不会因几滴水的加入或蒸发而引起水量的变化。它把电压的变动转化为电流的变化，频率越高，峰值电流就越大，从而缓冲了电压。滤波就是充电，放电的过程。

在电源电路中，整流电路将交流变成脉动的直流，而在整流电路之后接入一个较大容量的电解电容，利用其充放电特性，使整流后的脉动直流电压变成相对比较稳定的直流电压。在实际中，为了防止电路各部分供电电压因负载变化而产生变化，所以在电源的输出端及负载的电源输入端一般接有数十至数百微法的电解电容。由于大容量的电解电容具有一定的电感，对高频及脉冲干扰信号不能有效地滤除，故在其两端并联了一只容量为 $0.001\text{--}0.1\mu\text{F}$ 的电容，以滤除高频及脉冲干扰。

4) 储能

储能型电容器通过整流器收集电荷，并将存储的能量通过变换器引线传送至电源的输出端。电压额定值为 $40\text{--}450\text{VDC}$ 、电容值在 $220\text{--}150000\mu\text{F}$ 之间的铝电解电容器（如 EPCOS 公司的 B43504 或 B43505）是较为常用的。根据不同的电源要求，器件有时会采用串联、并联或其组合的形式，对于功率级超过 10KW 的电源，通常采用体积较大的罐形螺旋端子电容器。

2、应用于信号电路，主要完成耦合、振荡/同步及时间常数的作用：

1) 去耦

举个例子来讲，晶体管放大器发射极有一个自给偏压电阻，它同时又使信号产生压降反馈到输入端形成了输入输出信号耦合，这个电阻就是产生了耦合的元件，如果在这个电阻两端并联一个电容，由于适当容量的电容器对交流信号较小的阻抗，这样就减小了电阻产生的耦合效应，故称此电容为去耦电容。

2) 振荡/同步

包括 RC、LC 振荡器及晶体的负载电容都属于这一范畴。

3) 时间常数

这就是常见的 R、C 串联构成的积分电路。当输入信号电压加在输入端时，电容 (C) 上的电压逐渐上升。而其充电电流则随着电压的上升而减小。电流通过电阻 (R)、电容 (C) 的特性通过下面的公式描述： $i = (V/R)e^{-(t/CR)}$

最后说下电解电容的使用注意事项：

1、电解电容由于有正负极性，因此在电路中使用不能颠倒联接。在电源电路中，输出正电压时电解电容的正极接电源输出端，负极接地，输出负电压时则负极接输出端，正极接地。当电源电路中的滤波电容极性接反时，因电容的滤波作用大大降低，一方面引起电源输出电压波动，另一方面又因反向通电使此时相当于一个电阻的电解电容发热。当反向电压超过某值时，电容的反向漏电阻将变得很小，这样通电工作不久，即可使电容因过热而炸裂损坏。

2. 加在电解电容两端的电压不能超过其允许工作电压，在设计实际电路时应根据具体情况留有一定的余量，在设计稳压电源的滤波电容时，如果交流电源电压为 220V 时变压器次级的整流电压可达 22V，此时选择耐压为 25V 的电解电容一般可以满足要求。但是，假如交流电源电压波动很大且有可能上升到 250V 以上时，最好选择耐压 30V 以上的电解电容。

3、电解电容在电路中不应靠近大功率发热元件，以防因受热而使电解液加速干涸。

4、对于有正负极性的信号的滤波，可采取两个电解电容同极性串联的方法，当作一个无极性的电容。

+++++

关于滤波电容、去耦电容、旁路电容作用

滤波电容用在电源整流电路中，用来滤除交流成分。使输出的直流更平滑。
去耦电容用在放大电路中不需要交流的地方，用来消除自激，使放大器稳定工作。

旁路电容用在有电阻连接时，接在电阻两端使交流信号顺利通过。

1. 关于去耦电容蓄能作用的理解

1) 去耦电容主要是去除高频如 RF 信号的干扰，干扰的进入方式是通过电磁辐射。
而实际上，芯片附近的电容还有蓄能的作用，这是第二位的。

你可以把总电源看作密云水库，我们大楼内的家家户户都需要供水，这时候，水不是直接来自于水库，那样距离太远了，等水过来，我们已经渴的不行了。实际水是来自于大楼顶上的水塔，水塔其实是一个 buffer 的作用。

如果微观来看，高频器件在工作的时候，其电流是不连续的，而且频率很高，而器件 VCC 到总电源有一段距离，即便距离不长，在频率很高的情况下，

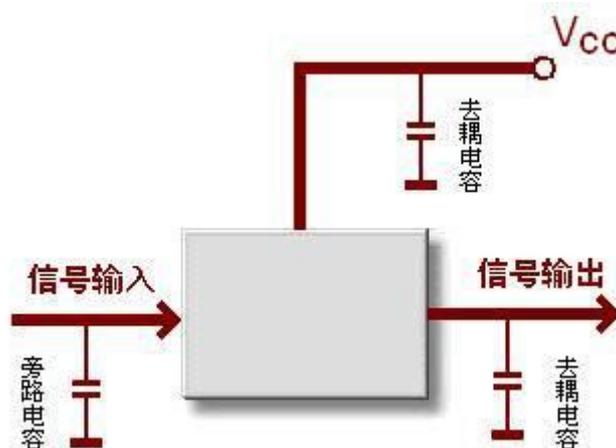
阻抗 $Z = i\omega L + R$ ，线路的电感影响也会非常大，会导致器件在需要电流的时候，不能被及时供给。而去耦电容可以弥补此不足。

这也是为什么很多电路板在高频器件 VCC 管脚处放置小电容的原因之一

(在 vcc 引脚上通常并联一个去耦电容，这样交流分量就从这个电容接地。)

2) 有源器件在开关时产生的高频开关噪声将沿着电源线传播。去耦电容的主要功能就是提供

一个局部的直流电源给有源器件，以减少开关噪声在板上的传播和将噪声引导到地



2. 旁路电容和去耦电容的区别

去耦：去除在器件切换时从高频器件进入到配电网中的 RF 能量。去耦电容还可以为器件提供局部化的 DC 电压源，它在减少跨板浪涌电流方面特别有用。

旁路：从元件或电缆中转移出不想要的共模 RF 能量。这主要是通过产生 AC 旁路消除无意的能量进入敏感的部分，另外还可以提供基带滤波功能（带宽受限）。

我们经常可以看到，在电源和地之间连接着去耦电容，它有三个方面的作用：一是作为本集成电路的蓄能电容；二是滤除该器件产生的高频噪声，切断其通过供电回路进行传播的通路；三是防止电源携带的噪声对电路构成干扰。

在电子电路中，去耦电容和旁路电容都是起到抗干扰的作用，电容所处的位置不同，称呼就不一样了。对于同一个电路来说，旁路（bypass）电容是把输入信号中的高频噪声作为滤除对象，把前级携带的高频杂波滤除，而去耦（decoupling）电容也称退耦电容，是把输出信号的干扰作为滤除对象。

+++++

大电容并联小电容作用及应用原理

大电容由于容量大，所以体积一般也比较大，且通常使用多层卷绕的方式制作，这就导致了大电容的分布电感比较大（也叫等效串联电感，英文简称 ESL）。

电感对高频信号的阻抗是很大的，所以，大电容的高频性能不好。而一些小容量电容则刚刚相反，由于容量小，因此体积可以做得很小（缩短了引线，就减小了 ESL，因为一段导线也可以看成是一个电感的），而且常使用平板电容的结构，这样小容量电容就有很小 ESL 这样它就具有了很好的高频性能，但由于容量小的缘故，对低频信号的阻抗大。

所以，如果我们为了让低频、高频信号都可以很好的通过，就采用一个大电容再并上一个小电容的方式。

常使用的小电容为 0.1 μ F 的瓷片电容，当频率更高时，还可并联更小的电容，例如几 pF，几百 pF 的。而在数字电路中，一般要给每个芯片的电源引脚上并联一个 0.1 μ F 的电容到地（这个电容叫做退耦电容，当然也可以理解为电源滤波电容，越靠近芯片越好），因为在这些地方的信号主要是高频信号，使用较小的电容滤波就可以了。

电路常识性概念（3）-TTL 与 CMOS 集成电路

2008-05-27 23:11

目前应用最广泛的数字电路是 TTL 电路和 CMOS 电路。

1、TTL 电路

TTL 电路以双极型晶体管为开关元件，所以又称**双极型集成电路**。双极型数字集成电路是利用电子和空穴两种不同极性的载流子进行电传导的器件。

它具有速度高（开关速度快）、驱动能力强等优点，但其功耗较大，集成度相对较低。

根据应用领域的不同，它分为 54 系列和 74 系列，前者为军品，一般工业设备和消费类电子产品多用后者。74 系列数字集成电路是国际上通用的标准电路。其品种分为六大类：74××（标准）、74S××（肖特基）、74LS××（低功耗肖特基）、74AS××（先进肖特基）、74ALS××（先进低功耗肖特基）、74F××（高速）、其逻辑功能完全相同。

2、CMOS 电路

MOS 电路又称场效应集成电路，属于单极型数字集成电路。单极型数字集成电路中只利用一种极性的载流子（电子或空穴）进行电传导。

它的主要优点是输入阻抗高、功耗低、抗干扰能力强且适合大规模集成。特别是其主导产品 CMOS 集成电路有着特殊的优点，如静态功耗几乎为零，输出逻辑电平可为 VDD 或 VSS，上升和下降时间处于同数量级等，因而 CMOS 集成电路产品已成为集成电路的主流之一。

其品种包括 4000 系列的 CMOS 电路以及 74 系列的高速 CMOS 电路。其中 74 系列的高速 CMOS 电路又分为三大类：HC 为 CMOS 工作电平；HCT 为 TTL 工作电平（它可与 74LS 系列互换使用）；HCU 适用于无缓冲级的 CMOS 电路。74 系列高速 CMOS 电路的逻辑功能和引脚排列与相应的 74LS 系列的品种相同，工作速度也相当高，功耗大为降低。

74 系列可以说是我们平时接触的最多的芯片，74 系列中分为很多种，而我们平时用得最多的应该是以下几种：74LS，74HC，74HCT 这三种

输入电平	输出电平
74LS	TTL 电
平	TTL 电平
74HC	COMS 电
平	COMS 电平
74HCT	TTL 电
平	COMS 电平

另外，随着推出 BiCMOS 集成电路，它综合了双极和 MOS 集成电路的优点，普通双极型门电路的长处正在逐渐消失，一些曾经占主导地位的 TTL 系列产品正在逐渐退出市场。CMOS 门电路不断改进工艺，正朝着高速、低耗、大驱动能力、低电源电压的方向发展。BiCMOS 集成电路的输入门电路采用 CMOS 工艺，

其输出端采用双极型推拉式输出方式，既具有 CMOS 的优势，又具有双极型的长处，已成为集成门电路的新宠。

3、CMOS 集成电路的性能及特点

功耗低

CMOS 集成电路采用场效应管，且都是互补结构，工作时两个串联的场效应管总是处于一个管导通另一个管截止的状态，电路静态功耗理论上为零。实际上，由于存在漏电流，CMOS 电路尚有微量静态功耗。单个门电路的功耗典型值仅为 20mW，动态功耗（在 1MHz 工作频率时）也仅为几 mW。

工作电压范围宽

CMOS 集成电路供电简单，供电电源体积小，基本上不需稳压。国产 CC4000 系列的集成电路，可在 3~18V 电压下正常工作。

逻辑摆幅大

CMOS 集成电路的逻辑高电平“1”、逻辑低电平“0”分别接近于电源高电位 VDD 及电源低电位 VSS。当 VDD=15V，VSS=0V 时，输出逻辑摆幅近似 15V。因此，CMOS 集成电路的电压利用系数在各类集成电路中指标是较高的。

抗干扰能力强

CMOS 集成电路的电压噪声容限的典型值为电源电压的 45%，保证值为电源电压的 30%。

随着电源电压的增加，噪声容限电压的绝对值将成比例增加。对于 VDD=15V 的供电电压（当 VSS=0V 时），电路将有 7V 左右的噪声容限。

输入阻抗高

CMOS 集成电路的输入端一般都是由保护二极管和串联电阻构成的保护网络，故比一般场效应管的输入电阻稍小，但在正常工作电压范围内，这些保护二极管均处于反向偏置状态，直流输入阻抗取决于这些二极管的泄露电流，通常情况下，等效输入阻抗高达 $10^9 \sim 10^{11} \Omega$ ，因此 CMOS 集成电路几乎不消耗驱动电路的功率。

温度稳定性能好

由于 CMOS 集成电路的功耗很低，内部发热量少，而且，CMOS 电路线路结构和电气参数都具有对称性，在温度环境发生变化时，某些参数能起到自动补偿作用，因而 CMOS 集成电路的温度特性非常好。一般陶瓷金属封装的电路，工作温度为 $-55 \sim +125^\circ\text{C}$ ；塑料封装的电路工作温度范围为 $-45 \sim +85^\circ\text{C}$ 。

扇出能力强

扇出能力是用电路输出端所能带动的输入端数来表示的。由于 CMOS 集成电路的输入阻抗极高，因此电路的输出能力受输入电容的限制，但是，当 CMOS 集

成电路用来驱动同类型，如不考虑速度，一般可以驱动 50 个以上的输入端。

抗辐射能力强

CMOS 集成电路中的基本器件是 MOS 晶体管，属于多数载流子导电器件。各种射线、辐射对其导电性能的影响都有限，因而特别适用于制作航天及核实验设备。

可控性好

CMOS 集成电路输出波形的上升和下降时间可以控制，其输出的上升和下降时间的典型值为电路传输延迟时间的 125%~140%。

接口方便

因为 CMOS 集成电路的输入阻抗高和输出摆幅大，所以易于被其他电路所驱动，也容易驱动其他类型的电路或器件。

+++++

TTL—Transistor-Transistor Logic 三极管—三极管逻辑

MOS—Metal-Oxide Semiconductor 金属氧化物半导体晶体管

CMOS—Complementary Metal-Oxide Semiconductor 互补型金属氧化物半导体晶体管

+++++

Q: 为什么 BJT 比 CMOS 速度要快?

A: 很多人只知道 BJT 比 CMOS 快，但不知道为什么。

主要是受迁移率的影响。以 NPN 管和 NMOS 为例，BJT 中的迁移率是体迁移率，大约为 $1350\text{cm}^2/\text{vs}$ 。NMOS 中是半导体表面迁移率，大约在 $400\text{--}600\text{cm}^2/\text{vs}$ 。所以 BJT 的跨导要高于 MOS 的，速度快于 MOS。这也是 NPN(NMOS) 比 PNP (PMOS) 快的原因。

NPN 比 PNP 快也是因为载流子迁移率不同，NPN 中的基区少子是电子，迁移率大 (1350 左右)；PNP 的基区少子是空穴 (480 左右)。所以同样的结构和尺寸的管子，NPN 比 PNP 快。所以在双极工艺中，是以作 NPN 管为主，PNP 都是在兼容的基础上做出来的。MOS 工艺都是以 N 阱 PSUB 工艺为主，这种工艺可做寄生的 PNP 管，要做 NPN 管就要是 P 阱 NSUB 工艺。

BJT 是之所以叫 bipolar，是因为基区中既存在空穴又存在电子，是两种载流子参与导电的；而 MOS 器件的反形层中只有一种载流子参与导电。

但并不是因为两种载流子导电总的迁移率就大了。而且情况可能恰恰相反。因为载流子的迁移率是与温度和掺杂浓度有关的。半导体的掺杂浓度越高，迁移率越小。而在BJT中，少子的迁移率起主要作用。NPN管比PNP管快的原因是NPN的基子少子是电子，PNP的是空穴，电子的迁移率比空穴大。NMOS比PMOS快也是这个原因。

而NPN比NMOS快的原因是NPN是体器件，其载流子的迁移率是半导体内的迁移率；NMOS是表面器件，其载流子的迁移率是表面迁移率（因为反形层是在栅氧下的表面形成的）。而半导体的体迁移率大于表面迁移率。

电路常识性概念（4）-TTL与CMOS电平 / OC门

2008-05-27 23:35

一. TTL

TTL集成电路的主要型式为晶体管—晶体管逻辑门（transistor-transistor logic gate），TTL大部分都采用5V电源。

1. 输出高电平 U_{oh} 和输出低电平 U_{ol}

$$U_{oh} \geq 2.4V, U_{ol} \leq 0.4V$$

2. 输入高电平和输入低电平

$$U_{ih} \geq 2.0V, U_{il} \leq 0.8V$$

二. CMOS

CMOS电路是电压控制器件，输入电阻极大，对于干扰信号十分敏感，因此不用的输入端不应开路，接到地或者电源上。 CMOS电路的优点是噪声容限较宽，静态功耗很小。

1. 输出高电平 U_{oh} 和输出低电平 U_{ol}

$$U_{oh} \approx V_{CC}, U_{ol} \approx GND$$

2. 输入高电平 U_{ih} 和输入低电平 U_{il}

$$U_{ih} \geq 0.7V_{CC}, U_{il} \leq 0.2V_{CC} \quad (V_{CC} \text{ 为电源电压, GND 为地})$$

从上面可以看出：

在同样 5V 电源电压情况下，COMS 电路可以直接驱动 TTL，因为 CMOS 的输出高电平大于 2.0V，输出低电平小于 0.8V；而 TTL 电路则不能直接驱动 CMOS 电路，TTL 的输出高电平为大于 2.4V，如果落在 2.4V~3.5V 之间，则 CMOS 电路就不能检测到高电平，低电平小于 0.4V 满足要求，所以在 TTL 电路驱动 COMS 电路时需要加上拉电阻。如果出现不同电压电源的情况，也可以通过上面的方法进行判断。

如果电路中出现 3.3V 的 COMS 电路去驱动 5V CMOS 电路的情况，如 3.3V 单片机去驱动 74HC，这种情况有以下几种方法解决，最简单的就是直接将 74HC 换成 74HCT（74 系列的输入输出在下面有介绍）的芯片，因为 3.3V CMOS 可以直接驱动 5V 的 TTL 电路；或者加电压转换芯片；还有就是把单片机的 I/O 口设为开漏，然后加上拉电阻到 5V，这种情况下得根据实际情况调整电阻的大小，以保证信号的上升沿时间。

三. 74 系列简介

74 系列可以说是我们平时接触的最多的芯片，74 系列中分为很多种，而我们平时用得最多的应该是以下几种：74LS，74HC，74HCT 这三种，这三种系列在电平方面的区别如下：

输入电平	输出电平
平	平
平	74LS TTL 电平
平	74HC COMS 电平
平	74HCT TTL 电平
平	COMS 电平

+++++

TTL 和 CMOS 电平

1、TTL 电平(什么是 TTL 电平)：

输出高电平>2.4V，输出低电平<0.4V。在室温下，一般输出高电平是 3.5V，输出低电平是 0.2V。最小输入高电平和低电平：输入高电平>=2.0V，输入低电平<=0.8V，噪声容限是 0.4V。

2、CMOS 电平：

1 逻辑电平电压接近于电源电压，0 逻辑电平接近于 0V。而且具有很

宽的噪声容限。

3、电平转换电路：

因为 TTL 和 COMS 的高低电平的值不一样（t_{TL} 5V <= > c_{MOS} 3.3V），所以互相连接时需要电平的转换：就是用两个电阻对电平分压，没有什么高深的东西。

4、OC 门，即集电极开路门电路，OD 门，即漏极开路门电路，必须外界上拉电阻和电源才能将开关电平作为高低电平用。否则它一般只作为开关大电压和大电流负载，所以又叫做驱动门电路。

5、TTL 和 COMS 电路比较：

1) TTL 电路是 **电流控制** 器件，而 CMOS 电路是 **电压控制** 器件。

2) TTL 电路的速度快，传输延迟时间短(5-10ns)，但是功耗大。COMS 电路的速度慢，传输延迟时间长(25-50ns)，但功耗低。COMS 电路本身的功耗与输入信号的脉冲频率有关，频率越高，芯片集越热，这是正常现象。

3) COMS 电路的锁定效应：

COMS 电路由于输入太大的电流，内部的电流急剧增大，除非切断电源，电流一直在增大。这种效应就是 **锁定效应**。当产生锁定效应时，COMS 的内部电流能达到 40mA 以上，很容易烧毁芯片。

防御措施： 1) 在输入端和输出端加钳位电路，使输入和输出不超过不超过规定电压。

2) 芯片的电源输入端加 去耦电路，防止 VDD 端出现瞬间的高压。

3) 在 VDD 和外电源之间加限流电阻，即使有大的电流也不让它进去。

4) 当系统由几个电源分别供电时，开关要按下列顺序：开启时，先开启 COMS 路得电源，再开启输入信号和负载的电源；关闭时，先关闭输入信号和负载的电源，再关闭 COMS 电路的电源。

6、COMS 电路的使用注意事项

1) COMS 电路是电压控制器件，它的输入总抗很大，对干扰信号的捕捉能力很强。所以，**不用的管脚不要悬空**，要接上拉电阻或者下拉电阻，给它一个恒定的电平。

2) 输入端接低内阻的信号源时，要在输入端和信号源之间要 **串联限流电阻**，使输入的电流限制在 1mA 之内。

3) 当接长信号传输线时，在 COMS 电路端接 匹配电阻。

4) 当输入端接大电容时，应该在输入端和电容间接保护电阻。电阻值为 $R=V_0/1\text{mA}$ 。V₀ 是外界电容上的电压。

5) **COMS 的输入电流超过 1mA，就有可能烧坏 COMS。**

7、TTL 门电路中输入端负载特性（输入端带电阻特殊情况的处理）：

1) **悬空时相当于输入端接高电平**。因为这时可以看作是输入端接一个

无穷大的电阻。

2) 在门电路输入端串联 10K 电阻后再输入低电平, 输入端出呈现的是高电平而不是低电平。因为由 TTL 门电路的输入端负载特性可知, 只有在输入端接的串联电阻小于 910 欧时, 它输入来的低电平信号才能被门电路识别出来, 串联电阻再大的话输入端就一直呈现高电平。这个一定要注意。COMS 门电路就不用考虑这些了。

8、TTL 电路有集电极开路 OC 门, MOS 管也有和集电极对应的漏极开路的 OD 门, 它的输出就叫做开漏输出。OC 门在截止时有漏电流输出, 那就是漏电流, 为什么有漏电流呢? 那是因为当三极管截止的时候, 它的基极电流约等于 0, 但是并不是真正的为 0, 经过三极管的集电极的电流也就不是真正的 0, 而是约 0。而这个就是漏电流。

开漏输出: OC 门的输出就是开漏输出; OD 门的输出也是开漏输出。它可以吸收很大的电流, 但是不能向外输出的电流。所以, 为了能输入和输出电流, 它使用的时候要跟电源和上拉电阻一齐用。OD 门一般作为输出缓冲/驱动器、电平转换器以及满足吸收大负载电流的需要。

9、什么叫做图腾柱, 它与开漏电路有什么区别?

TTL 集成电路中, 输出有接上拉三极管的输出叫做图腾柱输出, 没有的叫做 OC 门。因为 TTL 就是一个三级管, 图腾柱也就是两个三级管推挽相连。所以推挽就是图腾。一般图腾式输出, 高电平 400UA, 低电平 8MA

+++++

CMOS 器件不用的输入端必须连到高电平或低电平, 这是因为 CMOS 是高输入阻抗器件, 理想状态是没有输入电流的。如果不用的输入引脚悬空, 很容易感应到干扰信号, 影响芯片的逻辑运行, 甚至静电积累永久性的击穿这个输入端, 造成芯片失效。

另外, 只有 4000 系列的 CMOS 器件可以工作在 15 伏电源下, 74HC, 74HCT 等都只能工作在 5 伏电源下, 现在已经有工作在 3 伏和 2.5 伏电源下的 CMOS 逻辑电路芯片了。

CMOS 电平和 TTL 电平:

CMOS 逻辑电平范围比较大, 范围在 3~15V, 比如 4000 系列当 5V 供电时, 输出在 4.6 以上为高电平, 输出在 0.05V 以下为低电平。输入在 3.5V 以上为高电平, 输入在 1.5V 以下为低电平。

而对于 TTL 芯片, 供电范围在 0~5V, 常见都是 5V, 如 74 系列 5V 供电, 输出在 2.7V 以上为高电平, 输出在 0.5V 以下为低电平, 输入在 2V 以上为高电平, 在 0.8V 以下为低电平。因此, CMOS 电路与 TTL 电路就有一个电平转换的问题, 使两者电平域值能匹配。

有关逻辑电平的一些概念：

要了解逻辑电平的内容，首先要知道以下几个概念的含义：

- 1: 输入高电平 (V_{ih})：保证逻辑门的输入为高电平时所允许的最小输入高电平，当输入电平高于 V_{ih} 时，则认为输入电平为高电平。
- 2: 输入低电平 (V_{il})：保证逻辑门的输入为低电平时所允许的最大输入低电平，当输入电平低于 V_{il} 时，则认为输入电平为低电平。
- 3: 输出高电平 (V_{oh})：保证逻辑门的输出为高电平时的输出电平的最小值，逻辑门的输出为高电平时的电平值都必须大于此 V_{oh} 。
- 4: 输出低电平 (V_{ol})：保证逻辑门的输出为低电平时的输出电平的最大值，逻辑门的输出为低电平时的电平值都必须小于此 V_{ol} 。
- 5: 阈值电平 (V_t)：数字电路芯片都存在一个阈值电平，就是电路刚刚勉强能翻转动作时的电平。它是一个介于 V_{il} 、 V_{ih} 之间的电压值，对于 CMOS 电路的阈值电平，基本上是二分之一的电源电压值，但为了保证稳定的输出，则必须要求输入高电平 $> V_{ih}$ ，输入低电平 $< V_{il}$ ，而如果输入电平在阈值上下，也就是 $V_{il} \sim V_{ih}$ 这个区域，电路的输出会处于不稳定状态。

对于一般的逻辑电平，以上参数的关系如下：

$$V_{oh} > V_{ih} > V_t > V_{il} > V_{ol}$$

- 6: I_{oh} ：逻辑门输出为高电平时的负载电流（为拉电流）。
- 7: I_{ol} ：逻辑门输出为低电平时的负载电流（为灌电流）。
- 8: I_{ih} ：逻辑门输入为高电平时的电流（为灌电流）。
- 9: I_{il} ：逻辑门输入为低电平时的电流（为拉电流）。

门电路输出极在集成单元内不接负载电阻而直接引出作为输出端，这种形式的门称为开路门。开路的 TTL、CMOS、ECL 门分别称为集电极开路 (OC)、漏极开路 (OD)、发射极开路 (OE)，使用时应审查是否接上拉电阻 (OC、OD 门) 或下拉电阻 (OE 门)，以及电阻阻值是否合适。对于集电极开路 (OC) 门，其上拉电阻阻值 R_L 应满足下面条件：

$$(1) : R_L < (V_{CC} - V_{oh}) / (n * I_{oh} + m * I_{ih})$$

$$(2) : R_L > (V_{CC} - V_{ol}) / (I_{ol} + m * I_{il})$$

其中 n ：线与的开路门数； m ：被驱动的输入端数。

10: 常用的逻辑电平

- 逻辑电平：有 TTL、CMOS、LVTTTL、ECL、PECL、GTL；RS232、RS422、LVDS 等。
- 其中 TTL 和 CMOS 的逻辑电平按典型电压可分为四类：5V 系列 (5V TTL 和 5V CMOS)、3.3V 系列，2.5V 系列和 1.8V 系列。
- 5V TTL 和 5V CMOS 逻辑电平是通用的逻辑电平。
- 3.3V 及以下的逻辑电平被称为低电压逻辑电平，常用的为 LVTTTL 电平。
- 低电压的逻辑电平还有 2.5V 和 1.8V 两种。
- ECL/PECL 和 LVDS 是差分输入输出。
- RS-422/485 和 RS-232 是串口的接口标准，RS-422/485 是差分输入输出，RS-232 是单端输入输出。

+++++

OC 门, 又称集电极开路 (漏极开路) 与非门门电路 (Open Collector Open Drain)。

为什么引入 OC 门?

实际使用中, 有时需要两个或两个以上与非门的输出端连接在同一条导线上, 将这些与非门上的数据 (状态电平) 用同一条导线输送出去。因此, 需要一种新的与非门电路—OC 门来实现“线与逻辑”。

OC 门主要用于 3 个方面:

1、实现与或非逻辑, 用做电平转换, 用做驱动器。由于 OC 门电路的输出管的集电极悬空, 使用时需外接一个上拉电阻 R_p 到电源 VCC。OC 门使用上拉电阻以输出高电平, 此外为了加大输出引脚的驱动能力, 上拉电阻阻值的选择原则, 从降低功耗及芯片的灌电流能力考虑应当足够大; 从确保足够的驱动电流考虑应当足够小。

2、线与逻辑, 即两个输出端 (包括两个以上) 直接互连就可以实现“AND”的逻辑功能。在总线传输等实际应用中需要多个门的输出端并联连接使用, 而一般 TTL 门输出端并不能直接并接使用, 否则这些门的输出管之间由于低阻抗形成很大的短路电流 (灌电流), 而烧坏器件。在硬件上, 可用 OC 门或三态门 (ST 门) 来实现。用 OC 门实现线与, 应同时在输出端口应加一个上拉电阻。

3、三态门 (ST 门) 主要用在应用于多个门输出共享数据总线, 为避免多个门输出同时占用数据总线, 这些门的使能信号 (EN) 中只允许有一个为有效电平 (如高电平), 由于三态门的输出是推拉式的低阻输出, 且不需接上拉 (负载) 电阻, 所以开关速度比 OC 门快, 常用三态门作为输出缓冲器。

+++++

什么是 OC、OD?

集电极开路门 (集电极开路 OC 或漏极开路 OD)

Open-Drain 是漏极开路输出的意思, 相当于集电极开路 (Open-Collector) 输出, 即 TTL 中的集电极开路 (OC) 输出。一般用于线或、线与, 也有的用于电流驱动。

Open-Drain 是对 MOS 管而言, Open-Collector 是对双极型管而言, 在用法上没啥区别。

开漏形式的电路有以下几个特点:

a. 利用外部电路的驱动能力, 减少 IC 内部的驱动。或驱动比芯片电源电压高的负载。

b. 可以将多个开漏输出的 Pin，连接到一条线上。通过一只上拉电阻，在不增加任何器件的情况下，形成“与逻辑”关系。这也是 I2C，SMBus 等总线判断总线占用状态的原理。如果作为图腾输出必须接上拉电阻。接容性负载时，下降延是芯片内的晶体管，是有源驱动，速度较快；上升延是无源的外接电阻，速度慢。如果要求速度高电阻选择要小，功耗会大。所以负载电阻的选择要兼顾功耗和速度。

c. 可以利用改变上拉电源的电压，改变传输电平。例如加上上拉电阻就可以提供 TTL/CMOS 电平输出等。

d. 开漏 Pin 不连接外部的上拉电阻，则只能输出低电平。一般来说，开漏是用来连接不同电平的器件，匹配电平用的。

正常的 CMOS 输出级是上、下两个管子，把上面的管子去掉就是 OPEN-DRAIN 了。这种输出的主要目的有两个：电平转换和线与。

由于漏级开路，所以后级电路必须接一上拉电阻，上拉电阻的电源电压就可以决定输出电平。这样你就可以进行任意电平的转换了。

线与功能主要用于有多个电路对同一信号进行拉低操作的场合，如果本电路不想拉低，就输出高电平，因为 OPEN-DRAIN 上面的管子被拿掉，高电平是靠外接的上拉电阻实现的。（而正常的 CMOS 输出级，如果出现一个输出为高另外一个为低时，等于电源短路。）

OPEN-DRAIN 提供了灵活的输出方式，但是也有其弱点，就是带来上升沿的延时。因为上升沿是通过外接上拉无源电阻对负载充电，所以当电阻选择小时延时就小，但功耗大；反之延时大功耗小。所以如果对延时有要求，则建议用下降沿输出。

电路常识性概念 (5) - 上拉电阻、下拉电阻 / 拉电流、灌电流 / 扇出系数

2008-05-28 15:22

(一) 上拉电阻:

1、当 TTL 电路驱动 COMS 电路时，如果 TTL 电路输出的高电平低于 COMS 电路的最低高电平（一般为 3.5V），这时就需要在 TTL 的输出端接上拉电阻，以提高输出高电平的值。

2、OC 门电路必须加上拉电阻，才能使用。

3、为加大输出引脚的驱动能力，有的单片机管脚上也常使用上拉电阻。

4、在 COMS 芯片上，为了防止静电造成损坏，不用的管脚不能悬空，一般接上拉电阻产生降低输入阻抗，提供泄荷通路。同时管脚悬空就比较容易接受外界的电磁干扰（MOS 器件为高输入阻抗，极容易引入外界干扰）。

5、**芯片的管脚**加上拉电阻来提高输出电平，从而提高芯片输入信号的噪声容限增强抗干扰能力。

6、提高**总线**的抗电磁干扰能力。管脚悬空就比较容易接受外界的电磁干扰。

7、长线传输中电阻不匹配容易引起反射波干扰，加上下拉电阻是电阻匹配，有效的抑制反射波干扰。

(二) 上拉电阻阻值的选择原则包括：

- 1、从节约功耗及**芯片的灌电流能力**考虑应当足够大：电阻大，电流小。
- 2、从确保足够的驱动电流考虑应当足够小：电阻小，电流大。
- 3、对于高速电路，过大的上拉电阻可能边沿变平缓。

综合考虑以上三点，**通常在 1k 到 10k 之间选取**。对下拉电阻也有类似道理。

(三) 对上拉电阻和下拉电阻的选择应结合开关管特性和下级电路的输入特性进行设定，主要需要考虑以下几个因素：

1. 驱动能力与功耗的平衡。以上拉电阻为例，一般地说，上拉电阻越小，驱动能力越强，但功耗越大，设计是应注意两者之间的均衡。
2. 下级电路的驱动需求。同样以上拉电阻为例，当输出高电平时，开关管断开，上拉电阻应适当选择以能够向下级电路提供足够的电流。
3. 高低电平的设定。不同电路的高低电平的门槛电平会有不同，电阻应适当设定以确保能输出正确的电平。以上拉电阻为例，当输出低电平时，开关管导通，上拉电阻和开关管导通电阻分压值应确保在零电平门槛之下。
4. 频率特性。以上拉电阻为例，上拉电阻和开关管漏源级之间的电容和下级电路之间的输入电容会形成 RC 延迟，电阻越大，延迟越大。上拉电阻的设定应考虑电路在这方面的需求。

(四) 下拉电阻的设定的原则和上拉电阻是一样的。

OC 门输出高电平时是一个高阻态，其上拉电流要由上拉电阻来提供，设输入端每端口不大于 100uA，设输出口驱动电流约 500uA，标准工作电压是 5V，输入口的高低电平门限为 0.8V(低于此值为低电平)；2V(高电平门限值)。

选上拉电阻时：

$500\mu\text{A} \times 8.4\text{K} = 4.2$ 即选大于 8.4K 时输出端能下拉至 0.8V 以下，此为最小阻值，再小就拉不下来了。如果输出口驱动电流较大，则阻值可减小，保证下拉时能低于 0.8V 即可。

当输出高电平时，忽略管子的漏电流，两输入口需 200uA

$200\mu\text{A} \times 15\text{K} = 3\text{V}$ 即上拉电阻压降为 3V，输出口可达到 2V，此阻值为最大阻值，再大就拉不到 2V 了。选 10K 可用。COMS 门的可参考 74HC 系列。

设计时管子的漏电流不可忽略，IO 口实际电流在不同电平下也是不同的，上述仅仅是原理，一句话概括为：输出高电平时要喂饱后面的输入口，输出低电平不要把输出口喂撑了（否则多余的电流喂给了级联的输入口，高于低电平门限值就不可靠了）

+++++

上拉电阻：将某输出电位点采用电阻与电源 V_{DD} 相连的电阻。因为输出端可以看作是具有内阻的电压源，由于上拉电阻与 V_{DD} 连接，利用该电阻的分压原理（一般上拉电阻比输出端内阻大得多，至于该阻值的大小见上拉电阻的选取原则），从而将输出端电位拉高。

1，如果电平用 OC(集电极开路，TTL)或 OD(漏极开路，COMS)输出，那么不用上拉电阻是不能工作的，这个很容易理解，管子没有电源就不能输出高电平了。

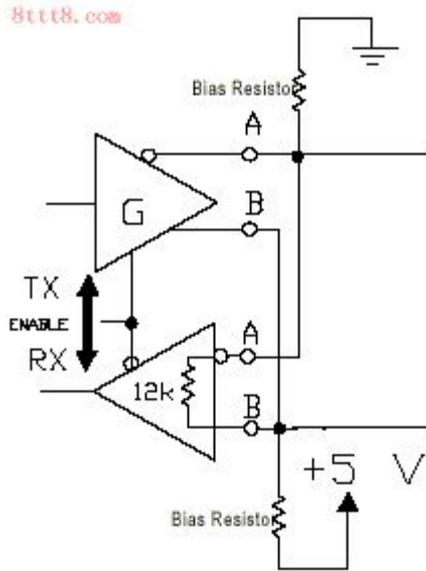
2，如果输出电流比较大，输出的电平就会降低（电路中已经有了一个上拉电阻，但是电阻太大，压降太高），就可以用上拉电阻提供电流分量，把电平“拉高”。（就是并一个电阻在 IC 内部的上拉电阻上，让它的压降小一点）。当然管子按需要该工作在线性范围的上拉电阻不能太小。当然也会用这种方式来实现门电路电平的匹配。

需要注意的是，上拉电阻太大会引起输出电平的延迟。（RC 延时）

一般 CMOS 门电路输出不能给它悬空，都是接上拉电阻设定成高电平。

下拉电阻：和上拉电阻的原理差不多，只是拉到 GND 去而已，那样电平就会被拉低。下拉电阻一般用于设定低电平或者是阻抗匹配(抗回波干扰)。

上拉电阻的工作原理电路图



如上图所示，上部的一个 Bias Resistor 电阻因为是接地，因而叫做下拉电阻，意思是将电路节点 A 的电平向低方向（地）拉；同样，图中下部的一个 Bias Resistor 电阻因为接电源（正），因而叫做上拉电阻，意思是将电路节点 A 的电平向高方向（电源正）拉。当然，许多电路中上拉电阻和下拉电阻中间的那个 12k 电阻是没有的或者是看不到的。上图是 RS-485/RS-422 总线上的，可以一下子认识上拉电阻和下拉电阻的意思。但许多电路只有一个上拉电阻或下拉电阻，而且实际中，还是上拉电阻的为多。

+++++

在数字电路中不用的输入脚都要接固定电平，通过 1k 电阻接高电平或接地。

1、定义：

上拉就是将不确定的信号通过一个电阻嵌位在高电平！电阻同时起限流作用！下拉同理！

上拉是对器件注入电流，下拉是输出电流

强弱只是上拉电阻的阻值不同，没有什么严格区分

对于非集电极（或漏极）开路输出型电路（如普通门电路）提升电流和电压的能力是有限的，上拉电阻的功能主要是为集电极开路输出型电路输出电流通道的。

2、为什么要使用拉电阻：

一般作单键触发使用时，如果 IC 本身没有内接电阻，为了使单键维持在不被触发的状态或是触发后回到原状态，必须在 IC 外部另接一电阻。

数字电路有三种状态：高电平、低电平、和高阻状态，有些应用场合不希望出现高阻状态，可以通过上拉电阻或下拉电阻的方式使处于稳定状态，具体视设计要求而定！

一般说的是 I/O 端口，有的可以设置，有的不可以设置，有的是内

置，有的是需要外接，I/O端口的输出类似于一个三极管的C，当C接通过一个电阻和电源连接在一起的时候，该电阻成为上C拉电阻，也就是说，如果该端口正常时为高电平，C通过一个电阻和地连接在一起的时候，该电阻称为下拉电阻，使该端口平时为低电平，作用吗：

比如：当一个接有上拉电阻的端口设为输出状态时，他的常态就为高电平，用于检测低电平的输入。

上拉电阻是用来解决总线驱动能力不足时提供电流的。一般说法是拉电流，下拉电阻是用来吸收电流的，也就是灌电流。

+++++

拉电流与灌电流

1、概念

拉电流和灌电流是衡量电路输出驱动能力（注意：拉、灌都是对输出端而言的，所以是驱动能力）的参数，这种说法一般用在数字电路中。

这里首先要说明，芯片手册中的拉、灌电流是一个参数值，是芯片在实际电路中允许输出端拉、灌电流的上限值（允许最大值）。而下面要讲的这个概念是电路中的实际值。

由于数字电路的输出只有高、低（0，1）两种电平值，高电平输出时，一般是输出端对负载提供电流，其提供电流的数值叫“拉电流”；低电平输出时，一般是输出端要吸收负载的电流，其吸收电流的数值叫“灌（入）电流”。

对于输入电流的器件而言：

灌入电流和吸收电流都是输入的，
灌入电流是被动的，
吸收电流是主动的。

如果外部电流通过芯片引脚向芯片内‘流入’称为灌电流（被灌入）；反之如果内部电流通过芯片引脚从芯片内‘流出’称为拉电流（被拉出）

2、为什么能够衡量输出驱动能力

当逻辑门输出端是低电平时，灌入逻辑门的电流称为灌电流，灌电流越大，输出端的低电平就越高。由三极管输出特性曲线也可以看出，灌电流越大，饱和压降越大，低电平越大。

然而，逻辑门的低电平是有一定限制的，它有一个最大值 U_{OLMAX} 。在逻辑门工作时，不允许超过这个数值，TTL逻辑门的规范规定 $U_{OLMAX} \leq 0.4 \sim 0.5V$ 。所以，灌电流有一个上限。

当逻辑门输出端是**高电平时**，逻辑门输出端的电流是从逻辑门中**流出**，这个电流称为**拉电流**。拉电流越大，输出端的高电平就越低。这是因为输出级三极管是有内阻的，内阻上的电压降会使输出电压下降。拉电流越大，输出端的高电平越低。

然而，逻辑门的高电平是有一定限制的，它有一个最小值 U_{OHMIN} 。在逻辑门工作时，不允许超过这个数值，TTL 逻辑门的规范规定 $U_{OHMIN} \geq 2.4V$ 。所以，拉电流也有一个上限。

可见，输出端的拉电流和灌电流都有一个上限，否则高电平输出时，拉电流会使输出电平低于 U_{OHMIN} ；低电平输出时，灌电流会使输出电平高于 U_{OLMAX} 。所以，拉电流与灌电流反映了输出驱动能力。（芯片的拉、灌电流参数值越大，意味着该芯片可以接更多的负载，因为，例如灌电流是负载给的，负载越多，被灌入的电流越大）

由于高电平输入电流很小，在微安级，一般可以不必考虑，低电平电流较大，在毫安级。所以，**往往低电平的灌电流不超标就不会有问题**。用扇出系数来说明逻辑门来驱动同类门的能力，扇出系数 N_o 是低电平最大输出电流和低电平最大输入电流的比值。

=====

在集成电路中，吸电流、拉电流输出和灌电流输出是一个很重要的概念。

拉即泄，**主动输出**电流，是从**输出**口输出电流。

灌即充，**被动输入**电流，是从**输出**端口流入

吸则是**主动吸入**电流，是从**输入**端口流入

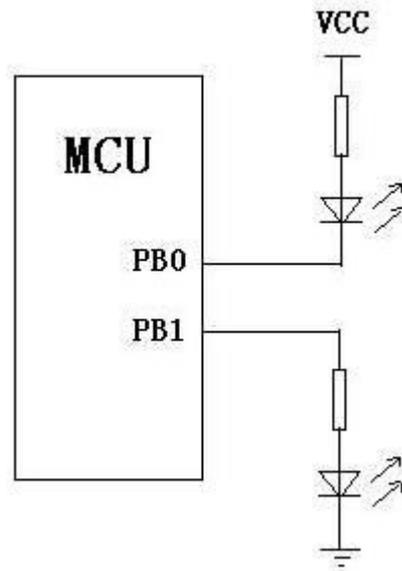
吸电流和灌电流就是从芯片外电路通过引脚流入芯片内的电流，区别在于吸收电流是主动的，**从芯片输入端流入**的叫吸收电流。灌入电流是被动的，**从输出端流入**的叫灌入电流。

拉电流是数字电路输出高电平给负载提供的输出电流，**灌电流**时**输出低电平**是外部给数字电路的输入电流，它们实际就是输入、输出电流能力。

吸收电流是对输入端（输入端吸入）而言的；而**拉电流**（输出端流出）和**灌电流**（输出端被灌入）是相对输出端而言的。

+++++

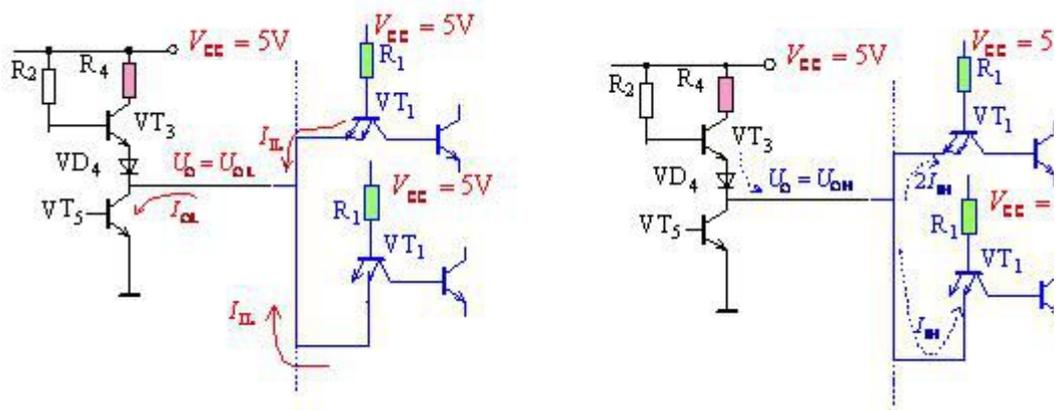
给一个直观解释：



图中 PB0 输出 0，LED 会亮，PB0 的电流方向是流向 PB0 也就是灌电流了；而 PB1 要输出 1，LED 会亮，PB1 的电流方向是从 PB1 流出，也就是拉电流了。

+++++

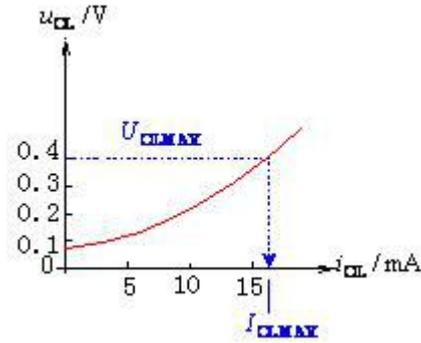
在实际电路中灌电流是由后面所接的逻辑门输入低电平电流汇集在一起而灌入前面逻辑门的输出端所形成，读者参阅图 18-2-3 自明。显然它的测试电路应该如图 18-2-4(b) 所示，输入端所加的逻辑电平是保证输出端能够获得低电平，只不过灌电流是通过接向电源的一只电位器而获得的，调节的电位器可改变灌电流的大小，输出低电平的电压值也将随之变化。



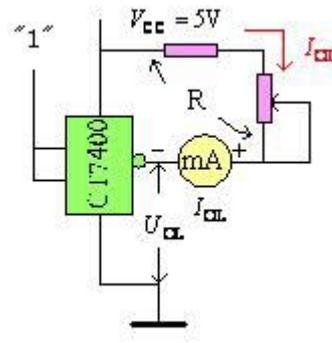
(b) 拉电流负载

(a) 灌电流负载

图 18-2-3 灌电流与放电流示意图



(a) 灌电流负载特性曲线



(b) 测试电路

图 18-2-4 灌电流负载特性曲线及测试电路

当输出低电平的电压值随着灌电流的增加而增加到输出低电平最大值时，即 $u_{OL} = U_{OLMAX}$ 时所对应的灌电流值定义为**输出低电平电流的量大值** I_{OLMAX} 。

不同系列的逻辑电路，同一系列中不同的型号的集成电路，国家标准中对输出低电平电流的最大值 I_{OLMAX} 的规范值的规定往往是不同的。比较常用的数值如下

TTL 系列 $I_{OLMAX} = 16\text{mA}$

LSTTL74 系列 $I_{OLMAX} = 8\text{mA}$

LSTTL54 系列 $I_{OLMAX} = 4\text{mA}$

扇出系数 N_O 是描述集成电路带负载能力的参数，它的定义式如下 (18-2-1)

$$N_O = I_{OLMAX} / I_{ILMAX}$$

其中 I_{OLMAX} 为最大允许灌电流， I_{ILMAX} 是一个**负载门灌入本级的电流**。

N_O 越大，说明门的负载能力越强。一般产品规定要求 $N_O \geq 8$ 。

在决定扇出系数时，正确计算电流值是重要的，对于图 18-2-3 而言，后面所接的逻辑门的输入端有并联的情况。当输出为低电平时，后面逻辑门输入端流出的 I_{IL} ，因有 R_i 的限流作用，与并联端头数无关。但是，当输出为高电平时，电流的方向改变为流进输入端，后面逻辑门输入级的多发射极三极管相当有两个三极管并联。流入的 I_{IH} 就要加倍，与并联端头数有关。对于图 18-2-3， $N_{OL} = 2$ ，而 $N_{OH} = 3$ ，输出低电平和输出高电平两种情况下，扇出系数可能是不同的。由于 I_{IL} 的数值比 I_{IH} 的数值要大很多，对于集成电路来说矛盾的主要方面在低电平扇出系数。所以，一般我们只需要考虑低电平扇出系数就可以了。

电路常识性概念 (6) -VCC、VDD 和 VSS 三种标号的区别

2008-05-28 15:35

在电子电路中，常可以看到 VCC、VDD 和 VSS 三种不同的符号，它们有什么区别呢？

一、解释

VCC: C=circuit 表示电路的意思，即接入电路的电压；

VDD: D=device 表示器件的意思，即器件内部的工作电压；

VSS: S=series 表示公共连接的意思，通常指电路公共接地端电压。

二、说明

1、对于数字电路来说，VCC 是电路的供电电压，VDD 是芯片的工作电压（通常 $V_{cc} > V_{dd}$ ），VSS 是接地点。（例如，对于 ARM 单片机电路，其供电电压 VCC 一般为 5V，一般经三端稳压块将其转为单片机工作电压 VDD=3.3V）

2、有些 IC 既有 VDD 引脚又有 VCC 引脚，说明这种器件自身带有电压转换功能。

3、在场效应管（或 COMS 器件）中，VDD 为漏极，VSS 为源极，VDD 和 VSS 指的是元件引脚，而不表示供电电压。

电路常识性概念 (7) -三态门与高阻态

2008-05-28 17:50

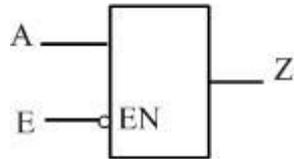
三态门，是指逻辑门的输出除有高、低电平两种状态外，还有第三种状态——高阻状态的门电路。高阻态相当于隔断状态（电阻很大，相当于开路）。三态门都有一个 EN 控制使能端，来控制门电路的通断。可以具备这三种状态的器件就叫做三态（门，总线，……）。

计算机里面用 1 和 0 表示是，非两种逻辑，但是，有时候，这是不够的，比如说，他不够富有，但是他也不一定穷啊；她不漂亮，但也不一定丑啊，处于这两个极端的中间，就用那个既不是 + 也不是 - 的中间态表示，叫做高阻态。高电平，低电平可以由内部电路拉高和拉低。而高阻态时引脚对地电阻无穷，此时读引脚电平时可以读到真实的电平值。高阻态的重要作用之一就是 I/O（输入/输出）口在输入时读入外部电平用。

高阻态相当于该门和它连接的电路处于断开的状态。（因为实际电路中你不可能去断开它，所以设置这样一个状态使它处于断开状态）。三态门是一种扩展逻辑功能的输出级，也是一种控制开关。主要是用于总线的连接，因为总线只允许同时只有一个使用者。通常在数据总线上接有多个器件，每个器件通过 OE/CE 之类的信号选通。如器件没有选通的话它就处于高阻态，相当于没有接在

总线上，不影响其它器件的工作。

如果你的设备端口要挂在一个总线上，必须通过三态缓冲器。因为在一个总线上同时只能有一个端口作输出，这时其他端口必须在高阻态，同时可以输入这个输出端口的数据。所以你还需要有总线控制管理，访问到哪个端口，那个端口的三态缓冲器才可以转入输出状态，这是典型的三态门应用。如果在线上没有两个以上的输出设备，当然用不到三态门，而线或逻辑又另当别论了。



三态门逻辑符号

E	A	Z
0	0	0
0	1	1
1	任意	高阻

三态门逻辑真值表

+++++

高阻态这是一个数字电路里常见的术语，指的是电路的一种输出状态，既不是高电平也不是低电平，如果高阻态再输入下一级电路的话，对下级电路无任何影响，和没接一样，如果用万用表测的话有可能是高电平也有可能是低电平，随它后面接的东西定。

高阻态的实质：电路分析时高阻态可做开路理解。你可以把它看作输出（输入）电阻非常大。他的极限可以认为悬空。也就是说理论上高阻态不是悬空，它是对地或对电源电阻极大的状态。而实际应用上与引脚的悬空几是一样的。

（当门电路的输出上拉管导通而下拉管截止时，输出为高电平；反之就是低电平；如上拉管和下拉管都截止时，输出端就相当于浮空（没有电流流动），其电平随外部电平高低而定，即该门电路放弃对输出端电路的控制）

典型应用：

1、在总线连接的结构上。总线上挂有多个设备，设备于总线以高阻的形式连接。这样在设备不占用总线时自动释放总线（放弃对总线的使用），以方便其他设备获得总线的使用权。

2、大部分单片机 I/O 使用时都可以设置为高阻输入，如 8051，AVR 等等。高阻输入（类似于 CMOS 输入阻抗）可以认为输入电阻是无穷大的，认为 I/O 对前级影响极小，而且不产生电流（不衰减），而且在一定程度上也增加了芯片的抗电压冲击能力。

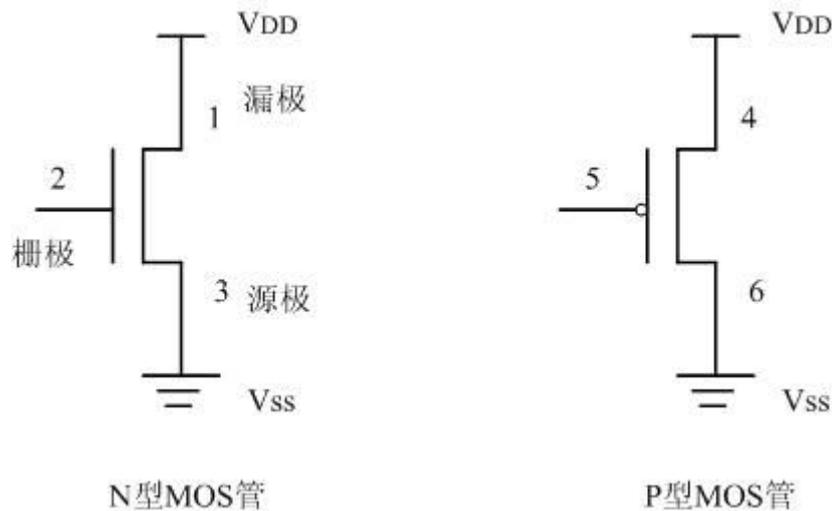
电路常识性概念（8）-MOS 管及简单 CMOS 逻辑门电路原理图

2008-05-28 22:17

现代单片机主要是采用 CMOS 工艺制成的。

1、MOS 管

MOS 管又分为两种类型：N 型和 P 型。如下图所示：



以 N 型管为例，2 端为控制端，称为“栅极”；3 端通常接地，称为“源极”；源极电压记作 V_{SS} ，1 端接正电压，称为“漏极”，漏极电压记作 V_{DD} 。要使 1 端与 3 端导通，栅极 2 上要加高电平。

对 P 型管，栅极、源极、漏极分别为 5 端、4 端、6 端。要使 4 端与 6 端导通，栅极 5 要加低电平。

在 CMOS 工艺制成的逻辑器件或单片机中，N 型管与 P 型管往往是成对出现的。同时出现的这两个 CMOS 管，任何时候，只要一只导通，另一只则不导通（即“截止”或“关断”），所以称为“互补型 CMOS 管”。

2、CMOS 逻辑电平

高速 CMOS 电路的电源电压 V_{DD} 通常为 +5V； V_{SS} 接地，是 0V。

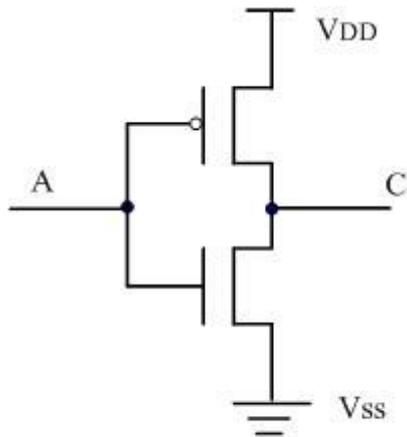
高电平视为逻辑“1”，电平值的范围为： V_{DD} 的 65%~ V_{DD} （或者 $V_{DD}-1.5V\sim V_{DD}$ ）

低电平视作逻辑“0”，要求不超过 V_{DD} 的 35%或 $0\sim 1.5V$ 。

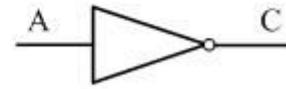
+1.5V~+3.5V 应看作不确定电平。在硬件设计中要避免出现不确定电平。

近年来，随着亚微米技术的发展，单片机的电源呈下降趋势。低电源电压有助于降低功耗。 V_{DD} 为 3.3V 的 CMOS 器件已大量使用。在便携式应用中， V_{DD} 为 2.7V，甚至 1.8V 的单片机也已经出现。将来电源电压还会继续下降，降到 0.9V，但低于 V_{DD} 的 35%的电平视为逻辑“0”，高于 V_{DD} 的 65%的电平视为逻辑“1”的规律仍然是适用的。

3、非门



非门原理图

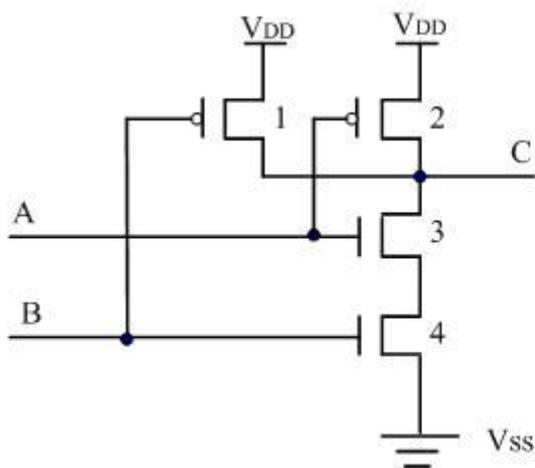


逻辑符号

非门（反向器）是最简单的门电路，由一对 CMOS 管组成。其工作原理如下：

A 端为高电平时，P 型管截止，N 型管导通，输出端 C 的电平与 V_{SS} 保持一致，输出低电平；A 端为低电平时，P 型管导通，N 型管截止，输出端 C 的电平与 V_{DD} 一致，输出高电平。

4、与非门



与非门原理图

输入		输出
A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

真值表

与非门工作原理：

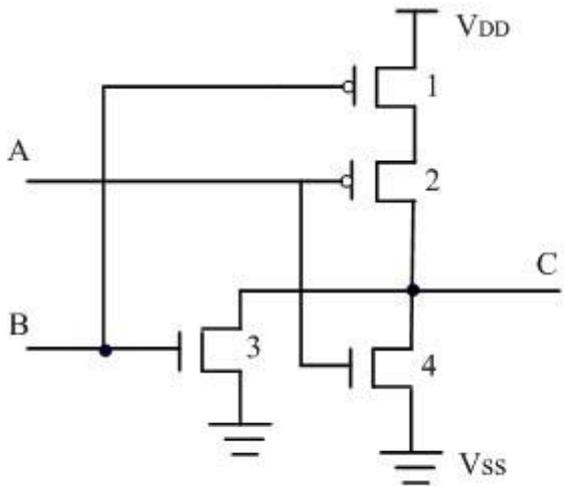
①、A、B 输入均为低电平时，1、2 管导通，3、4 管截止，C 端电压与 V_{DD} 一致，输出高电平。

②、A 输入高电平，B 输入低电平时，1、3 管导通，2、4 管截止，C 端电压与 1 管的漏极保持一致，输出高电平。

③、A 输入低电平，B 输入高电平时，情况与②类似，亦输出高电平。

④、A、B 输入均为高电平时，1、2 管截止，3、4 管导通，C 端电压与地一致，输出低电平。

5、或非门



输入		输出
A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

真值表

或非门原理图

或非门工作原理：

①、A、B 输入均为低电平时，1、2 管导通，3、4 管截止，C 端电压与 V_{DD} 一致，输出高电平。

②、A 输入高电平，B 输入低电平时，1、4 管导通，2、3 管截止，C 端输出低电平。

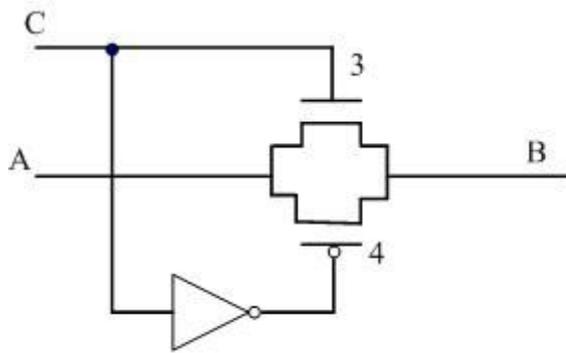
③、A 输入低电平，B 输入高电平时，情况与②类似，亦输出低电平。

④、A、B 输入均为高电平时，1、2 管截止，3、4 管导通，C 端电压与地一致，输出低电平。

注：

将上述“与非”门、“或非”门逻辑符号的输出端的小圆圈去掉，就成了“与”门、“或”门的逻辑符号。而实现“与”、“或”功能的电路图则必须在输出端加上一个反向器，即加上一对 CMOS 管，因此，“与”门实际上比“与非”门复杂，延迟时间也长些，这一点在电路设计中要注意。

6、三态门



三态门原理图

控制	输入	输出
C	A	B
0	0	高阻
0	1	高阻
1	0	0
1	1	1

真值表

三态门的工作原理：

当控制端 C 为“1”时，N 型管 3 导通，同时，C 端电平通过反向器后成为低电平，使 P 型管 4 导通，输入端 A 的电平状况可以通过 3、4 管到达输出端 B。

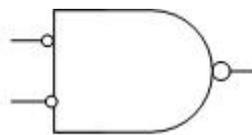
当控制端 C 为“0”时，3、4 管都截止，输入端 A 的电平状况无法到达输出端 B，输出端 B 呈现高电阻的状态，称为“高阻态”。

这个器件也称作“带控制端的传输门”。带有一定驱动能力的三态门也称作“缓冲器”，逻辑符号是一样的。

注：

从 CMOS 等效电路或者真值表、逻辑表达式上都可以看出，把“0”和“1”换个位置，“与非”门就变成了“或非”门。对于“1”有效的信号是“与非”关系，对于“0”有效的信号是“或非”关系。

上述图中画的逻辑器件符号均是正逻辑下的输入、输出关系，即对“1”（高电平）有效而言。而单片机中的多数控制信号是按照负有效（低电平有效）定义的。例如片选信号 CS（Chip Select），指该信号为“0”时具有字符标明的意义，即该信号为“0”表示该芯片被选中。因此，“或非”门的逻辑符号也可以画成下图。



按负有效定义的或非门逻辑符号

7、组合逻辑电路

“与非”门、“或非”门等逻辑电路的不同组合可以得到各种组合逻辑电路，如译码器、解码器、多路开关等。

组合逻辑电路的实现可以使用现成的集成电路，也可以使用可编

程逻辑器件，如 PAL、GAL 等实现。